

多层金属电源线地线网络拓扑结构的 IR-drop 分析方法

王 一^{1,2}, 杨海钢¹, 余 乐^{1,2}, 孙嘉斌¹

(1. 中国科学院电子学研究所可编程芯片与系统研究室, 北京 100190; 2. 中国科学院大学, 北京 100049)

摘 要: 提出了一种电源/地线(P/G)网络压降(IR-drop)静态分析方法. 该方法探索了多层金属立体 P/G 网络结构, 通过输入各金属层的坐标和通孔(Via)的工艺规则, 分析不同多层金属 P/G 网络的拓扑结构对 IR-drop 的影响. 实验结果表明, 文中方法的压降评估结果与 SPICE 仿真结果相比有着高度的一致性, 平均误差小于 0.4%, 且算法时间复杂度与通孔数目成线性关系. 并且指出中间层金属的拓扑结构对 IR-drop 的分布和大小有重要影响.

关键词: 电源/地线网络; 多层; 压降; 通孔

中图分类号: TP391

文献标识码: A

文章编号: 0372-2112 (2015)12-2542-05

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.3969/j.issn.0372-2112.2015.12.030

A Technique for IR-Drop Analysis of the Multilayered Power/Ground Networks

WANG Yi^{1,2}, YANG Hai-gang¹, YU Le^{1,2}, SUN Jia-bing¹

(1. System on Programmable Chip Research Department, Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China;

2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: This paper presents a method for DC analysis of IR-drop in power/ground (P/G) networks. The proposed method explores three-dimensional structure of multi-layer P/G grids. By inputting the coordinates of each metal layer and the process rules of vias, the proposed method analyzes the impact of different multi-layers P/G grids on IR-drop. Experimental results demonstrate that the method has high consistency with SPICE simulation results. The relative error is less than 0.4% and the time complexity has the linear relation to the number of vias. Moreover, the topology of inter-layers has an important relation to the value and distributions of IR-drop.

Key words: power/ground networks; multi-layers; IR-drop; via

1 引言

IR-drop 是影响电源信号完整性的关键因素之一, 随着半导体工艺进入深亚微米阶段, 芯片密度逐渐增加, P/G 网络将承载更大的电流, 并且随着互连线宽减小而导致的电阻增加, 更大的 IR-drop 会对电路的工作性能产生影响, 导致逻辑错误和时钟偏移, 甚至使芯片失效^[1,2].

P/G 网络模型分为顶层粗网模型和底层细网模型, 传统的 P/G 网络 IR-drop 分析方法一般基于这两种专用 P/G 网络模型. 这些方法可以分为直接求解法^[3,4]和迭代求解法^[5,6], 直接求解法的速度优于迭代算法, 但会消耗较大的内存空间, 而迭代求解法的收敛较慢. 文献[7]权衡考虑了两类方法, 通过增加 CPU 的数目, 保证快速收敛, 提高了求解速度, 但研究对象仍是两层金属构成的 P/G 网络. 此外,

还有一些文献分析拓扑结构对 IR-drop 的影响, 文献[8]分析了金属线的宽度和距离对 IR-drop 的影响, 文献[9,10]是在 IR-drop 约束的基础上最小化电源线网的面积. 但研究者也是将研究目标放在专用 P/G 网络模型上, 忽略了其他金属层对 IR-drop 的影响.

尽管研究者们对专用 P/G 网络的研究做了很多工作, 但没有考虑到其他层金属层架构对电流密度及阻抗的影响^[11], 因此, 仅研究专用 P/G 网络金属层的拓扑结构对于分析和优化 IR-drop 是不足的. 结合布线需求考虑中间非专用 P/G 网络金属层的拓扑结构不仅可以增强 P/G 网络的稳定性, 并且可以高效改善 IR-drop.

本文考虑了从顶层到底层的多层金属立体 P/G 网络设计, 提出一种多层金属 P/G 网络 IR-drop 的直接求解法, 该方法可以在绘制版图之前评估不同拓扑结构

对 IR-drop 分布和大小的影响,因而有助于更全面的研究和高效改善 IR-drop.

2 基于 Via 分布的 IR-drop 分析方法

2.1 多层金属 P/G 网络

集成电路中的 P/G 网络是由从顶层到底层的多层金属组成的立体对称结构,由于供电网络中电线线和地线网络的相似性,本文以电源网络为例说明.研究基于如图 1 所示的网状结构电源网络,顶层金属四周与供电 PAD 相连,然后自顶向下通过中间金属层,最后给电路模块供电.各层金属之间通过 Via 连接,相邻金属层水平方向和垂直方向交替布线.这种各层金属对称分布的电源网络,结构稳定,可靠性强^[4,11].

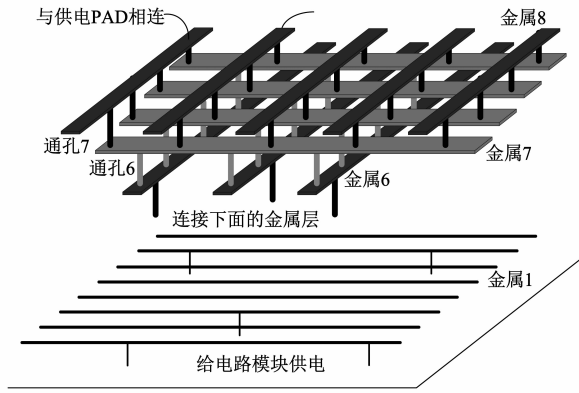


图1 8层金属构成的电源网络

2.2 IR-drop 求解方法

首先建立电源网络的等效模型,各层金属和层间通孔等效为电阻网络,为研究电源网络架构对 IR-drop 的影响,电路模块(测试点)的工作电流等效为恒流源.根据层间通孔的分布计算经过相应金属层和通孔的压降,再根据电源网络所用金属层数累计求和,得出测试点的压降.

由于网状结构电源网络每层通孔均匀分布,同层每条金属上的通孔位置相同,同层每个通孔所容载的电流相等.设每条金属 1 上存在 m 个测试点,每个测试点的电流大小为 I ,金属 n 和金属 $(n+1)$ 之间的通孔 n 数目为 $N_{\text{via}}(n)$,每个通孔 1 容载的电流由式(1)求得,当 n 大于 1 时,每个通孔 n 容载的电流用式(2)求得.

$$I_{\text{via}}(1) = m \times I / N_{\text{via}}(1) \quad (1)$$

$$I_{\text{via}}(n) = N_{\text{via}}(n-1) \times I_{\text{via}}(n-1) / N_{\text{via}}(n) \quad (2)$$

金属 n 上的电流源自通孔 n ,并经由通孔 $(n-1)$ 流向下一层金属.根据金属 n 上的通孔 n 和通孔 $(n-1)$ 对称均匀分布的原则和每段金属电流流向具有唯一性的原则,判断通孔 $(n-1)$ 所容载电流的源头(即通孔 n),若存在两个源头,还要判断对不同源头的电流分配

比例.图 2 是金属 n 上通孔 n 和通孔 $(n-1)$ (或测试点)的排序示意图,设通孔 n 的数目为 nt ,根据通孔 n 的坐标从左到右排序, j 代表通孔 n 的序号, $R[0]$ 和 $R[1]$ 分别代表通孔 $(n-1)$ 对左、右源头通孔 n 的电流分配比例.

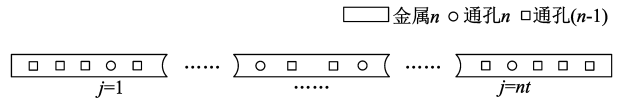


图2 通孔排序示意图

判断通孔 $(n-1)$ 的电流源头及电流分配比例的算法流程图如图 3,其中,从左到右对其他通孔 n 循环的具体步骤如下:

步骤 1 if(第 j 个通孔 n 容载的电流满足式(2))

步骤 2 第 j 和第 $(j+1)$ 个通孔 n 之间的通孔 $(n-1)$ 的 $R[0]=0, R[1]=1$,第 $(j+1)$ 个通孔 n 容载电流相应增加;

步骤 3 else

步骤 4 if(第 j 个通孔 n 容载的电流与式(2)的差值大于 1 个通孔 $(n-1)$ 所容载的电流)

步骤 5 第 j 个通孔 n 右边第一个没有判断源头的通孔 $(n-1)$ 的 $R[0]=1, R[1]=0$,且第 j 个通孔 n 容载电流相应增加,返回步骤 4 继续判断;

步骤 6 else

步骤 7 第 j 个通孔 n 容载未满足的电流分配给其右边第一个没有判断源头的通孔 $(n-1)$,而该通孔 $(n-1)$ 余下电流则源于第 $(j+1)$ 个通孔 n ,第 $(j+1)$ 个通孔 n 左边所有未判断源头的通孔 $(n-1)$ 的 $R[0]=0, R[1]=1$;

当 n 为 1 时,通孔 $(n-1)$ 即为测试点,其容载电流

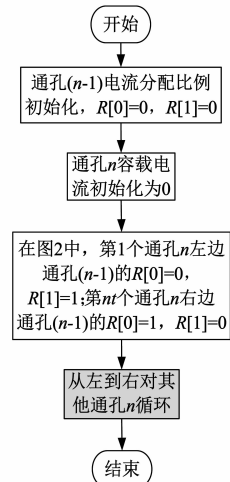


图3 判断电流源头及分配比例算法流程图

为 I , 上述算法公式(2)改为公式(1). 根据金属 n 上通孔 $(n-1)$ (或测试点) 的电流源头和电流分配比例, 及金属 n 的线宽和方块电阻, 首先求解每个测试点对其源头通孔 1 在金属 1 上的压降, 再求解该源头通孔 1 在金属 2 上对应其源头通孔 2 的压降, 然后逐层向上求解通孔 $(n-1)$ 对其源头通孔 n 在金属 n 上的压降. 对于通孔 $(n-1)$ 存在两个源头的情况, 根据电流分配比例, 只需求解到任意一个源头的压降即可.

每层金属完成压降计算后还要加上电流流经上层通孔产生的压降, 最后求解顶层通孔到供电 PAD 处的压降, 然后累加即可求出测试点到电源 PAD 处的压降. 电流流经通孔 n 产生的压降用式(3)求得.

$$V_{\text{via}}(n) = R_{\text{via}}(n) \times I_{\text{via}}(n) \quad (3)$$

$$R_{\text{via}}(n) = r_{\text{via}}(n) / (N_x(n) \times N_y(n)) \quad (4)$$

其中, $r_{\text{via}}(n)$ 表示 1 个通孔 n 电阻, $N_x(n)$ 表示金属 n 和金属 $(n+1)$ 交叠区域水平方向所容纳通孔 n 的电阻数目; $N_y(n)$ 表示垂直方向所容纳通孔 n 的电阻数目, $R_{\text{via}}(n)$ 表示通孔 n 的电阻总值.

3 实验结构和实验结果

3.1 结构建立

首先建立三种不同结构的电源网络, 它们的不同之处在于每层金属的密度不同. 定义每层金属条数/金属层所占面积作为该层金属的密度, 因为实验中每层金属所占面积相同, 所以金属密度可以用条数表示. 由于金属 1 最终供电给电路模块, 其密度根据标准单元高度而定, 故在本次试验中, 三种结构的金属 1 密度均为 10, 除金属 1 外, 三种结构的其他各层金属密度如图 4 所示. 第二层金属以上, 每相邻两层的金属密度相同, 其中结构 I 从金属层 2 到金属层 8 密度逐渐减小; 结构 II 从底层金属到顶层金属密度逐渐增大; 结构 III 从底层到顶层, 金属疏、密间隔排布.

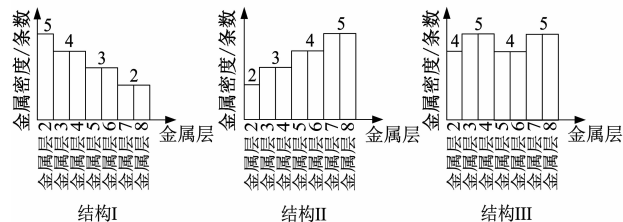


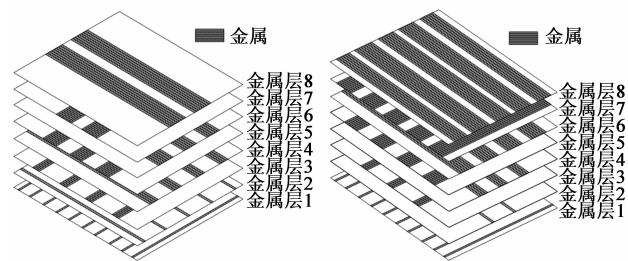
图4 三种电源网络结构的2到8层金属密度图

根据实际工程设计, 三种电源网络各层金属宽度安排如下: 顶层金属是专用电源走线, 资源充足, 所以布线最宽; 底层金属因为有更多的其他布线需求, 所以电源线最细; 中间层金属宽度介于二者之间. 金属 1 的间距根据标准单元高度而定, 为简化实验输入操作, 其他所有金属层金属中心间距相同, 金属宽度和间距的

具体数值参见表 1. 根据各层金属密度, 宽度和间距, 三种电源网络结构的立体图如图 5 所示.

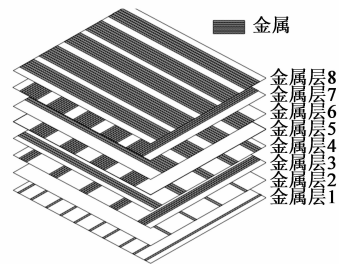
表 1 电源网络各层金属宽度和中心间距

金属层	宽度 (μm)	中心间距 (μm)
金属 1	1	10
金属 2	1	20
金属 3	4	20
金属 4	4	20
金属 5	8	20
金属 6	8	20
金属 7	10	20
金属 8	10	20



(a) 结构 I 的电源网络立体图

(b) 结构 II 的电源网络立体图



(c) 结构 III 的电源网络立体图

图5 三种结构电源网络的立体图

3.2 实验结果及分析

三种电源网络结构的每层金属所占面积为 $130\mu\text{m} \times 130\mu\text{m}$, 在三种结构的每条金属 1 上设置 8 个压降测试点, 横坐标分别为 15.46, 28.53, 41.6, 60.06, 69.94, 88.4, 101.47, 114.54. 实验采用 $0.13\mu\text{m}$ 标准 CMOS 双顶层工艺, 版图提取工具使用 Calibre, 仿真工具为 SPICE, 每个测试点放置 5mA 的静态电流源, 顶部 7、8 层金属四周均匀供电, 供电电压为 1.5V. 将三种电源网络结构提取后端网表进行 SPICE 仿真, 和采用本文方法的压降分析结果进行比较, 图 6 为三种电源网络结构的电压比较图和误差分布图.

从图 6(a)、(c)、(e) 可以看出, 三种电源网络结构的中心电压均大于四周, 只是结构 II 的曲面梯度大于结构 I、III, SPICE 仿真的最大和最小的电压之差达到 70mV; 而结构 I、III 的曲面则较为平缓, 最大压差分别为 14mV 和 11mV. 结构 II 测试点压差较大的原因是底层金属条数较少分布集中而导致的累积电阻过大, 加

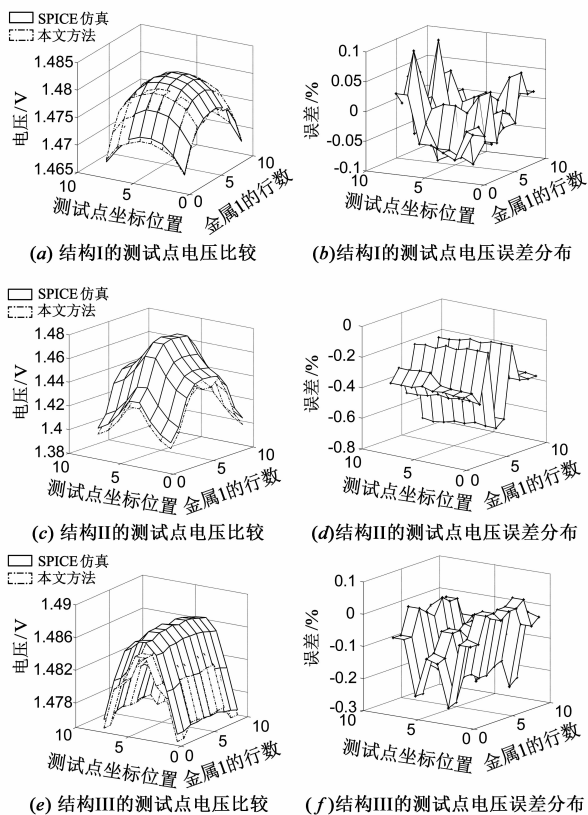


图6 三种电源网络结构的电压和误差分布图

之金属 1 的电阻大于其他金属层电阻,造成四周测试点 IR-drop 增大. 与结构 II 相比,结构 I、III 加大了底层和部分中间层金属的密度. 金属密度的增大一方面使金属 1 上测试点的电流供给路径增多,分支电流相应减小;另一方面导致层间通孔的距离变短,电阻减小. 底层和中间层金属因为有其他的布线用途,金属线较细,电阻的减小比例较顶层专用电源网络金属大. 故电流流经底层和中间层金属消耗的 IR-drop 变小,最终导致各测试点的电压增大,IR-drop 改善明显.

由图 6 可知,本文方法得到的电压结果和 SPICE 仿真相比有较好的一致性,误差的来源之一是算法中通孔电阻的简化建模. 为了便于程序计算,算法采用每两层金属交叠区可容纳的所有通孔电阻的并联阻值作为通孔电阻总值(见式(4)),而版图寄生参数提取工具根据每个通孔的位置,给出复杂程度不同的电阻网络. 从图 6(b)、(d)、(f)中可以看出,误差分布较有规律性,这是因为算法仅考虑了层间通孔的电流平均分配原则,而没有考虑到层间通孔的距离,下一步将综合考虑距离与电流分配原则,减小并均化误差.

3.3 算法时间复杂度比较

本文算法中每层金属压降求解的时间复杂度为 $O(N(n) \times N(n+1))$, $N(n)$ 代表金属 n 的条数, $N(n) \times N(n+1)$ 为通孔 n 的数目,而 SPICE 算法的时间复杂

度是多项式的. 下面对三种结构压降的 SPICE 仿真时间和算法时间进行比较. 如图 7 所示,由于结构 III 所用金属最多,电阻网络复杂,所以其仿真时间和算法时间都略大于其他两种结构. 但对于三种结构,本文算法所用时间都比 SPICE 流程缩短约三个数量级,尤其是当 IR-drop 不符合设计要求,需要反复修改、提取、仿真后端网表时,本文方法有明显优势.

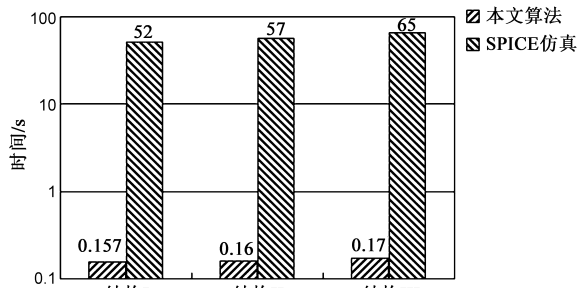


图7 本文算法和SPICE仿真时间的比较

3.4 结果对比

表 3 将本文方法与已发表文献进行比较,结果如下:(1)文献[8]的时间复杂度大于本文方法,并且不支持超过 4 层的电源网络模型.(2)文献[12]运用数学方法,提出用一种层次化的矩阵代表 P/G 网络模型,这种矩阵的求解虽然在时间和空间上具有优势,但在初始层次分割时复杂度较高,且研究对象仍是 2 层金属构成的电源网络.(3)与其他文献相比,本文方法最大的优势是可以对多层金属构成的电源网络 IR-drop 进行评估,由于在时间复杂度上具有优势,可以预先评估多种结构电源网络,节约仿真时间. 但缺点是:现有研究仅是分析拓扑结构规则电源网络,下一步将改进算法对非规则电源网络的 IR-drop 进行分析.

表 3 本文方法与其他文献比较

比较内容	文献[8]	文献[12]	本文方法
电源网络模型	4 层金属	2 层金属	多层金属
时间复杂度	$K^3 + N^2K$	$N \log_a(N)$	N^2
是否采用迭代算法	是	否	否
优势	求解 IR-drop 的同时,可以调整金属间距和宽度,优化最差 IR-drop	层次化求解矩阵,时空复杂度较小	考虑中间层金属对电流密度及阻抗的影响;预先评估多种结构电源网络,节约仿真时间
劣势	以总电流密度作为约束条件	初始层次分割复杂度较高	暂不适用于非规则电源网络结构

4 结束语

本文提出一种分析、求解多层金属 P/G 网络 IR-drop 的方法,该方法可以分析不同拓扑结构对 IR-drop 分布和大小的影响,和 SPICE 仿真结果相比,该方法具有精度高,时间短的优点.实验结果表明:通过运用本文方法分析三种典型多层金属 P/G 网络结构,可以看出,加大中间层金属密度,有助于改善 IR-drop.本文方法的优点是:只需输入金属层数和坐标,及相关的工艺参数就可以得到测试点的电压值,所以可以结合布线或工程预先评估多种结构的 P/G 网络压降分布,省去重复绘制、提取及仿真版图的时间.

参考文献

- [1] S Kirolos, Y Massoud, Y Ismail. Power-supply-variation-aware timing analysis of synchronous systems[A]. IEEE International Symposium on Circuits and Systems [C]. Piscataway: IEEE Press, 2008. 2418 – 2421.
- [2] A H Ajami, et al. Analysis of IR-drop scaling with implications for deep submicron P/G network designs[A]. The Proceedings-4th International Symposium on Quality Electronic Design[C]. Piscataway: IEEE Press, 2003. 35 – 40.
- [3] S Cauley, V Balakrishnan, C K Koh. A parallel direct solver for the simulation of large-scale power/ground networks[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2010, 29(4): 636 – 641.
- [4] J N Kozhaya, S R Nassif, F N Najm. A multigrid-like technique for power grid analysis[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2002, 21(10): 1148 – 1160.
- [5] T H Chen, C C P Chen. Efficient large-scale power grid analysis based on preconditioned krylov-subspace iterative methods [A]. 2001 Proceedings of Design Automation Conference[C]. Piscataway: IEEE Press, 2001. 559-562.
- [6] Y Zhong, M Wong. Efficient second-order iterative methods for IR Drop analysis in power grid[A]. Asia and South Pacific Design Automation Conference [C]. Piscataway: IEEE Press, 2007. 768 – 773.
- [7] R Achar, et al. Parallel and scalable transient simulator for power grids via waveform relaxation (PTS-PWR)[J]. IEEE Transactions on Very Large Scale Integration Systems, 2011, 19(2): 319 – 332.
- [8] P Du, et al. Power grid sizing via convex programming[A]. IEEE International Conference on ASIC[C]. Piscataway: IEEE Press, 2011. 337 – 340.
- [9] Z Y Zeng, P Li. Locality-driven parallel power grid optimization

[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2009, 28(8): 1190 – 1200.

- [10] C J Lee, et al. Hierarchical power network synthesis for multi-power domain designs[A]. 2012 13th International Symposium on Quality Electronic Design [C]. Piscataway: IEEE Press, 2012. 477 – 482.
- [11] R Jakushokas, E G Friedman. Multi-layer interdigitated power distribution networks[J]. IEEE Transactions on Very Large Scale Integration Systems, 2011, 19(5): 774 – 786.
- [12] J M S Silva, J R Phillips, L M Silveira. Efficient simulation of power grids[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2010, 29(10): 1523 – 1532.

作者简介



王 一 女, 1984 年出生于北京, 博士研究生, 主要研究方向为可编程逻辑芯片低功耗设计、电源/地线网络设计。

E-mail: wangyi108@mails.ucas.ac.cn.



杨海钢(通信作者) 男, 1960 年出生于上海, 研究员, 博士后, 博士生导师, 主要研究方向为高速可编程逻辑芯片设计技术; 数模混合信号 SOC 设计技术。

E-mail: yanghg@mail.ie.ac.cn.



余 乐 男, 1983 年出生于湖北, 博士后, 主要研究方向为三维可编程逻辑芯片架构及关键技术。

E-mail: yule@mail.ie.ac.cn.



孙嘉斌 男, 1982 年出生于山东, 博士, 副研究员, 主要研究方向为可编程逻辑芯片系统结构设计。

E-mail: ccjackie@mail.ie.ac.cn.